

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-156383

(43)Date of publication of application : 06.06.2000

(51)Int.Cl.

H01L 21/336

H01L 29/78

(21)Application number : 11-318931

(71)Applicant : INTERNATL RECTIFIER CORP

(22)Date of filing : 09.11.1999

(72)Inventor : HERMAN THOMAS

(30)Priority

Priority number : 98 107700

Priority date : 09.11.1998

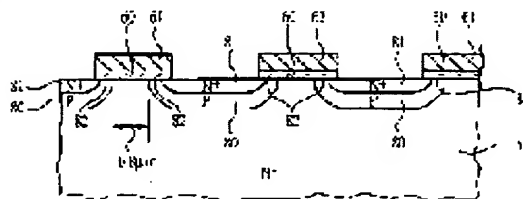
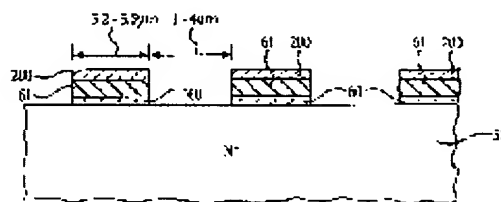
Priority country : US

(54) LOW VOLTAGE MOSFET AND ITS MANUFACTURE AND ITS CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To minimize a coefficient of merit by forming a plurality of gate stripes by covering gate oxide stripes with conductive polysilicon stripes having a specified range of widths and spaces and overlying adjacent invertable channel regions and the space between respective base diffusions by the gate stripes.

SOLUTION: A junction adhesion layer 52 is formed epitaxially on a substrate 51 and a field oxide layer is formed on the layer 52. Thereafter, the field oxide layer is selectively etched and stripes of a gate oxide layer 60 are formed. The gate oxide stripes 60 are covered with stripes of a conductive polysilicon layer 61 having a width in the range of about 3.2 to 3.5 μm and a space in the range of about 1.0 μm and a plurality of gate stripes are formed. The gate stripes overlie adjacent invertable channel regions 82 and the space between their respective base diffusions.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10) 日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-156383

(P2000-156383A)

(43) 公開日 平成12年6月6日 (2000.6.6)

(51) Int. Cl.	識別記号	F I	特許庁 (参考)
H 0 1 L 21/338		H 0 1 L 29/78	6 5 8 D
29/78			6 5 2 M

審査請求 未請求 請求項の数19 O L 外国語出版 (全 26 頁)

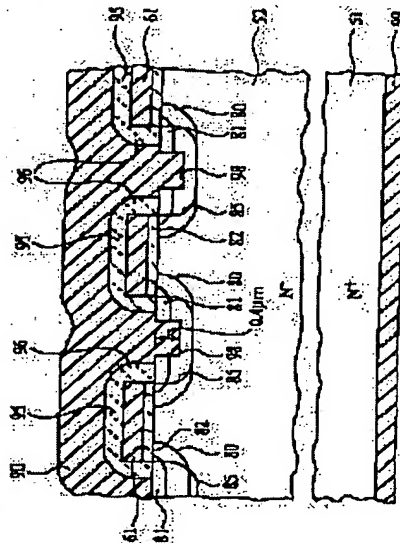
(21) 出願番号	特願平11-316931	(71) 出願人	591074389 インターナショナル・レクテファイヤー・ コーポレーション INTERNATIONAL RECTI FIER CORPORATION アメリカ合衆国90245カリフォルニア州 エル・セグンド、カンザス・ストリート 223号
(22) 出願日	平成11年11月9日 (1999.11.9)	(72) 発明者	トーマス ハーマン アメリカ合衆国 90286 カリフォルニア 州 マンハッタン ビーチ パーム アヴ ェニュー 3118
(31) 優先権主張番号	6.0 / 107, 700	(74) 代理人	100077481 弁理士 谷 誠一 (外2名)
(32) 優先日	平成10年11月9日 (1998.11.9)		
(33) 優先権主張国	米国 (U.S.)		

(54) [発明の名称] 低電圧MOSFET及びその製造方法並びにその回路

(57) [要約]

【課題】 低電圧MOSFETを提供する。

【解決手段】 パワーMOSFETタイプは、最小化され
たゲート係数を有するとともに、プレーナ・ストライ
プMOSFETジオメトリを有する。パラレル拡散ベ
ース (または、チャネル) が平行ポリシリコン・ストライ
プを介して不純物を注入、拡散することにより形成さ
れる。ポリシリコン・ライン幅は約3/2 μm ないし
3/4 μm の範囲にあるが、3/4 μm が好ましい。ポリ
ライン間隔は約1 μm ないし5 μm の範囲にあるが、
1/5 μm が好ましい。拡散されたベースは約0/8 μm
を超える距離だけ離れてある。第1ベースストライ
プ、ソースストライプ、第1高濃度ベースストライプ
(第1ベースストライプより高濃度である) は、ポリシリ
コン・ストライプをマスクにして形成する。絶縁側壁
は、ソースコンタクトのコンタクトエッチを形成するた
めに用いられる。上述のデザインジオメトリは、ホワ
ード制御MOSFETと、バックコンバータ回路の同期型
流用MOSFET用に用いられる。



【特許請求の範囲】

【請求項1】 最小化されたメリット係数を有するMOSゲート半導体装置において、

基板を有するとともに、一方の導電型を有する上部接合層を有する単結晶シリコンダイと、

前記接合層の上面に約0.8 μ mを超える距離だけ間隔をおいて平行に形成した他方の導電型の複数の細長いベース・ストライプ拡散と、

該細長いベース・ストライプ拡散の側端に沿ってそれぞれ反転チャネル領域を画成するため、前記細長いベース・ストライプ拡散と同一の広がりをもたせた前記一方の導電型の複数の細長いソース拡散と、

幅が約0.2 μ mないし3.5 μ mの範囲にあり、間隔が約1.0 μ mないし4.0 μ mの範囲にある導電性ポリシリコン・ストライプで覆ったゲート酸化ストライプを備えた複数のゲート・ストライプであって、隣り合う反転チャネル領域どうしをオーバーラップするとともに、個々のベース拡散間のスペースをオーバーラップする複数のゲート・ストライプと

を備えたことを特徴とするMOSゲート半導体デバイス。

【請求項2】 請求項1において、前記ポリシリコン・ストライプは、幅が約0.1 μ mであり、間隔が約1.5 μ mであることを特徴とするMOSゲート半導体装置。

【請求項3】 請求項1において、

前記ベース拡散は深さが約1.25 μ mであり、

前記ソース拡散は深さが約0.4 μ mであることを特徴とするMOSゲート半導体装置。

【請求項4】 請求項2において、

前記ベース拡散は、深さが約1.25 μ mであり、

前記ソース拡散は、深さが約0.4 μ mであることを特徴とするMOSゲート半導体装置。

【請求項5】 請求項1において、前記他の導電型を有する複数の第2ベース拡散であって、前記ベース拡散にそれぞれその中心を有し、濃度が前記ベース拡散よりも高く、横方向広がり前記ポリシリコン・ストライプの間隔で画成した第2ベース拡散をさらに含むことを特徴とするMOSゲート半導体装置。

【請求項6】 請求項2において、他の導電型を有する複数の第2ベース拡散であって、前記ベース拡散にそれぞれその中心を有し、濃度が前記ベース拡散よりも高く、横方向広がり前記ポリシリコン・ストライプの間隔で画成した第2ベース拡散をさらに含むことを特徴とするMOSゲート半導体装置。

【請求項7】 請求項3において、前記他の導電型を有する複数の第2ベース拡散であって、前記ベース拡散にそれぞれその中心を有し、濃度が前記ベース拡散よりも高く、横方向広がり前記ポリシリコン・ストライプの間隔で画成した第2ベース拡散をさらに含むことを特徴とするMOSゲート半導体装置。

するMOSゲート半導体装置。

【請求項8】 最小化されたメリット係数を有するMOSゲート半導体装置において、

基板を有するとともに、一方の導電型を有する上部接合層を有する単結晶シリコンダイと、

前記接合層の上面に間隔をおいて平行に形成した他方の導電型の複数の細長いベース・ストライプ拡散と、該細長いベース・ストライプ拡散の側端に沿ってそれぞれ反転チャネル領域を画成するため、前記細長いベース・ストライプ拡散と同一の広がりをもたせた前記一方の導電型の複数の細長いソース拡散と、

導電性ポリシリコン・ストライプで覆ったゲート酸化ストライプを備えた複数のゲート・ストライプであって、隣り合う反転チャネル領域どうしをオーバーラップするとともに、個々のベース拡散間のスペースをオーバーラップする複数のゲート・ストライプと

前記他の導電型を有する複数の第2ベース拡散であって、前記ベース拡散にそれぞれその中心を有し、濃度が前記ベース拡散よりも高く、横方向広がり前記ポリシリコン・ストライプの間隔で画成した第2ベース拡散とを備えたことを特徴とするMOSゲート半導体デバイス。

【請求項9】 MOSゲートデバイスの製造方法において、

一方の導電型のシリコン表面上にゲート酸化層を形成するステップと、

前記ゲート酸化層上にポリシリコン層を形成するステップと、

前記ポリシリコン層をエッチングするとともに、前記ゲート酸化層をエッチングして、前記ゲート酸化層と前記ポリシリコン層とを所定間隔のストライプにするステップと、

得られたポリシリコン・ストライプをマスクとして用いて、他方の導電型の複数の第1ベース拡散ストライプを注入し、拡散させ、前記シリコン表面にするステップと、

前記ポリシリコンのストライプをマスクとして用いて、複数のソース拡散を注入し、拡散して前記第1ベース拡散ストライプとするとともに、前記第1ベース拡散ストライプの外側エッジに沿って反転チャネル領域を残すステップと、

前記ポリシリコン・ストライプをマスクとして用いて、第3拡散ストライプを前記シリコン表面に、深さが前記第1拡散のそれとほぼ等しく、幅が前記ポリシリコン・ストライプの隣り合う対向面の間隔に実質的に等しくなるまで、拡散するステップとを備えたことを特徴とする製造方法。

【請求項10】 請求項9において、前記ポリシリコン・ストライプは、幅が約0.1 μ mであり、間隔が約1.25 μ mであることを特徴とするMOSゲートデバ

イスの製造方法。

【請求項1.1】 請求項9において、

前記第1ベース拡散は、深さが約0.4 μ mであり、

前記第2ベース拡散は、深さが約1.25 μ mである

ことを特徴とするMOSゲートデバイスの製造方法。

【請求項1.2】 請求項1.0において、

前記第1ベース拡散は、深さが約0.4 μ mであり、

前記第2ベース拡散は、深さが約1.25 μ mであるこ

とを特徴とするMOSゲートデバイスの製造方法。

【請求項1.3】 請求項9において、

前記ポリシリコン・ストライプの前記エッジ上に絶縁ス

ペース層を形成するステップと、

前記ソース領域の中心部を介して浅い開口部をエッチン

グして、前記第1ベース拡散にするステップと、

その後、前記ソース領域と、前記第1および第2ベース

拡散とをコンタクトするため、前記デバイスの上にメ

タル層を形成するステップと、をさらに含むことを特徴

とするMOSゲートデバイスの製造方法。

【請求項1.4】 請求項1.2において、

前記ポリシリコン・ストライプのエッジ上に絶縁スベ

ース層を形成するステップと、

前記ソース領域の中心部を介して浅い開口部をエッチン

グして、前記第1ベース拡散にするステップと、

その後、前記ソース領域と、前記第1および第2ベース

拡散とをコンタクトするため、前記デバイスの上にメ

タル層を形成するステップとをさらに含むことを特徴と

するMOSゲートデバイスの製造方法。

【請求項1.5】 DC電源に直列に接続した高周波制御

MOSFETを含むDC-DCコンバータ回路であっ

て、

インダクタと、DC出力端子と、該インダクタおよび該

DC出力端子と開回路になるように接続した同期整流用

MOSFETを備え、

前記各制御MOSFETと同期整流用MOSFETは、

同一のプレーナ平行ストライプ・トポロジーにより形成

されるが、ダイ領域が異なり、

前記同期整流用領域MOSFETは、ダイ領域が前記制御

MOFETのそれより大きいことを特徴とする回

路。

【請求項1.6】 請求項1.5において、前記各制御MO

SFETと同期整流用MOSFETにおける前記等価ト

ポロジーは、各ダイに対して、

基板を有するとともに、一方の導電型を有する上部接合

密着層を有する単結晶シリコンダイと、

前記接合密着層の上に約0.8 μ mを超える距離だけ

間隔をおいて平行に形成した他方の導電型の複数の細長

いベース・ストライプ拡散と、

該細長いベース・ストライプ拡散の側壁に沿ってそれぞ

れ反転チャネル領域を画成するため、前記細長いベース

・ストライプ拡散と同一の広がりをもたせた前記一方の

導電型の複数の細長いソース拡散と、

幅が約3.2 μ mないし3.5 μ mの範囲にあり、間隔

が約1.0 μ mないし1.4 μ mの範囲にある導電性ポリ

シリコン・ストライプで覆ったゲート酸化ストライプ

を備えた複数のゲート・ストライプであって、隣り合う

反転チャネル領域どうしをオーバーライするとともに、個

々のベース拡散間のスペースをオーバーライする複数のゲ

ート・ストライプとを備えたことを特徴とする回路。

【請求項1.7】 請求項1.6において、前記ポリシリコ

ン・ストライプは、幅が約3.1 μ mであり、間隔が約

1.5 μ mであることを特徴とする回路。

【請求項1.8】 請求項1.7において、

前記ベース拡散は、深さが約1.25 μ mであり、

前記ソース拡散は、深さが約0.4 μ mであることを特

徴とする回路。

【請求項1.9】 請求項1.6において、前記他方の導電

型を有する複数の第2ベース拡散であって、前記各ベ

ース拡散にそれぞれ中心があり、前記ベース拡散より深度

が高く深さが深く、横方向広がり前記ポリシリコン・

ストライプの間隔により画成した第2ベース拡散をさら

に含むことを特徴とする回路。

【発明の詳細な説明】

【0001】 関連出願

本願は、1998年11月9日出願の米国仮出願60/

107,700号の特典を受けている。

【0002】 本願に関連するものとしては、出願08/

946,984号(1997年10月8日出願、発明の

名称: PROCESS FOR MANUFACTURE OF P CHANNEL MOSGAT

ED DEVICE WITH BASE IMPLANT THROUGH CONTACT WINDOW

(IR-1212))と、出願08/956,062号(199

7年10月22日出願、発明の名称: ZERO ALIGNMENTCE

LL PROCESS (20 MILLION/IN²) (GEN VI) (IR-1232))

と、米国特許5,795,793号(1998年8月1

8日付与、発明の名称: NEW REDUCED NMOS COUNT PROCE

SS (GEN 6-N CHANNEL) (IR-1113))と、出願09/03

8,453号(1998年3月11日出願、発明の名

称: MOS FETS FOR VERY LOW VOLTAGE D-C TO D-C CONVER

TERS (IR-1455))とがあり、これらは本願出願人が所有

している。

【0003】

【発明の属する技術分野】 本発明は、MOSゲートデバ

イスに関するものであり、特に、最小メモリット係数と、

MOSゲートデバイスの新規の製造工程と、MOSゲ

ートデバイスの新規の応用回路とを有するMOSゲートデ

バイスに関するものである。

【0004】

【従来の技術】 低電圧パワーMOSゲートデバイス、特

に、パワーMOSFETは、周知のものであり、普通、

プレーナまたはドレシ・トポロジーで作成されるもの

である。このドレシ・トポロジーはDC-DCコンバ

ータのような高周波でのスイッチングロスが可能な限り少ない低電圧デバイスに用いられている。このDC-DCコンバータは電池を電源とするポータブル電子装置用のものである。このスイッチングロスを軽減することにより、ラップトップ、コンピュータのようなポータブル機器の電池寿命を延ばすことができる。

【0005】スイッチングロスは一部は、MOSFETのメリット係数 (figure of merit) により決定される。メリット係数はON抵抗 (on-resistance) $R_{DS(on)}$ とそのゲートチャージ Q_g との積である。高周波低電圧 MOSFET の場合には、メリット係数が最小であるのが望ましい。トレンチデバイスはこれまでこのようなアプリケーションでは有用であった。というのは、本来 Q_g は、フレナーデザインの Q_g より小さいと信じられていた。

【0006】間隔をおいた開角形セルを有するフレナーテクノロジーの MOSFET は、周知のものである。例えば、特許 5,008,725 号に記載され、その図 12 に図示されている。これらのデバイスは、ON 抵抗が等価 (equivalent) トレンチデザインより比較的小さい。しかし、多角形デザインのジオメトリ (通常は、六角形または四角形のベースセル) であるため、ポリシリコン・ゲートは、六角形セルトポロジーの場合、図 12 に示す領域 30 のような領域上に延在させてある。領域 30 は反転チャネル幅には寄与していない。具体的には、図 12 に示すポリシリコン・ウェブ 31 は、拡散ベースまたはチャネルを画成するために用いられる窓 32、33、34、35 (図 12 に破線で示してある) を有する。開口部 36 のような窓開口部は、低電圧デザインでは、慣用的に、5.0 μm であった。ポリシリコン・ウェブ 31 はこれら領域 30 上にオーバーライ (overlie) されている。ポリシリコン 31 は不活性であり、ポリシリコン・ゲートドレイン・キャパシタンスに従って、 Q_g に大いに寄与している。

【0007】フレナーデザインは間隔をおいた細長いベース・ストライプを用いたストライプ・トポロジーも使用している。これらのデザインは、セルラードesignよりも、 Q_{gd} が低く、通常、ON 抵抗が高い。メリット係数はフレナー・ストライプ・デザインより小さくないと信じられている。

【0008】フレナー・ストライプ・トポロジーは、メリット係数、すなわち、 Q_g と $R_{DS(on)}$ の積を減少させることができる低電圧パワー MOS ゲート デバイスに用いるのが望ましい。

【0009】

【課題を解決するための手段】本発明によれば、ドレイン・ソース間電圧規格により、ポリシリコン・ライン間隔が約 1.5 μm ないし約 2.5 μm 未満であり、ポリシリコン・ライン幅が約 2.6 μm ないし約 8.0 μm である、平行ベース・ストライプを採用したトポロジーであ

ることが分かる。3.0 V のデバイスの場合、ポリシリコン・ライン幅が 3.2 μm ないし 3.5 μm となるが、3.4 μm であるのが好ましい。ベース間間隔が約 0.8 μm 以上である場合には、メリット係数が最小になる。

【0010】ポリシリコン・ライン間隔を狭める程、単位領域当たりのチャネル幅が小さくなり、 Q_g が増加する以上に、比例して、 $R_{DS(on)}$ が減少し、メリット係数は、ポリライン間隔が約 1.5 μm のとき、実質的に最小になる。

【0011】当該新規のジオメトリで得られるメリット係数は、トレンチ・テクノロジーか、開角形セルテクノロジーのうちのいずれかを採用したダイ領域により得られたメリット係数より小さい。

【0012】さらに、本願発明によれば、 $R_{DS(on)}$ が極端に小さく、アバランシェ・エネルギーが極端に大きいデバイスが得られる。

【0013】本発明の他の機構によれば、規則的に連続する 3 つの領域を形成するためのマスクを画成するため、ポリシリコン・ストライプを採用している。これら 3 つの領域のうち、第 1 領域はベース (または、チャネル) 拡散であり、第 2 領域はソース拡散である。第 3 領域は第 1 ベースにアンダライ (underlie) した高温度ベース領域であり、第 1 ベースおよびソースにより形成された反転 (invertible) チャネルを侵入していない。第 3 領域はポリシリコン窓を介した注入を行い、その後、アニールして形成される。

【0014】本発明は、制御 MOSFET と、同期整流用 MOSFET を用いた DC-DC コンバータ回路に適用できる。これらの MOSFET は共に本発明の処理により製造されるが、ダイ領域のみが異なる。

【0015】

【発明の実施の形態】図 1 を説明する。図 1 は典型的なダイ 40 を示す。このダイ 40 は、本発明により処理して、MOS ゲートデバイス、例えば、パワー MOSFET を作成することができる。本発明は全ての電圧範囲に適用できるが、ブレークダウン電圧が約 60 V 未満であるデバイスには特に有用である。ダイ 40 は上部ソース・コンタクトを有することができ、ポリシリコン・ゲートに接続するためのゲートパッド 41 を有することができる。下部ドレイン・コンタクトを有することができる。シリコンウエハからダイが作成されるが、このダイは 1 つのシリコンウエハ上で同時に処理されたものであり、処理工程の最後で分離されたものである。ダイ、チップ、ウエハという用語は同様に使用していることが多い。ダイ 40 は、そのサイズを最大、約 10.2 mm \times 15.7 mm とすることができ、典型的な S08 パッケージにマウントすることができる。勿論、他のパッケージを用いることもできる。

【0016】本発明のデバイスを作成するために用いた

第1の処理工程では、適正なウエハ50が選択される。ウエハ50は、図2に示すように、高導電N⁺基板51を有する。この高導電N⁺基板51は37.5 μ mとすることができ、(この処理工程の後では、約200 μ mになる。)ウエハ50はエピタキシャル成長させた接合密着層52を有する。ブレークダウン電圧を約30Vとした場合、接合密着層52の厚みが約5 μ mとなり、抵抗率が約0.1 Ω cmとなり、N⁺層と考えることができる。

【0017】まず、接合密着層52上に、フィールド酸化層53を7500Åの厚さに成長させ、このフィールド酸化層53に、窓54を開ける。そして、P⁺拡散領域55を当該チップのゲート・ボンディング・パッドの周辺に形成する。このようにすると、最終的に得られるデバイスでは、フィールド端子リングとなる。この拡散は、1E14のドーズで、80kVのエネルギーで、ボロン注入により行うことができる。この拡散後、1050℃、2時間の拡散を行う。その結果、深さ約1.5 μ mのP⁺拡散領域55が作成されることになる。

【0018】そして、当該ダイの活性領域を開けるため、フィールド酸化層53が選択的にエッチングされる。図3および図4に示すように、ゲート酸化層60を接合密着層52上に厚さ約300Åだけ成長させる。そして、このゲート酸化層60上に、珪電性ポリシリコン層61を厚さ約0.75 μ mだけ成長させる。このポリシリコン層61上に、酸化層200が成長されるが、デポジットされる。そして、ポリシリコン層61と、ゲート酸化層60と、酸化層200をエッチングして、図3に示すような細長い平行ストライプを形成する。

【0019】本発明によれば、ポリシリコン・ストライプ61の幅(ポリライン幅)は、30Vデバイスの場合は、2.6 μ mないし8.0 μ mであるのが好ましい。より広く細長い平行ストライプの間隔は、1 μ mないし4 μ mであるが、1.5 μ mであるのが好ましい。

【0020】ポリシリコン層61のエッチング中に、使用されるマスクにより、図5に示す端子フィールドプレート70を画成することができる。端子フィールドプレート70は長さが約15 μ mであり、Eリング72の端と隣合う端の間には、5 μ mないし8 μ mのギャップがある。その一部を図5に示す。

【0021】その後、細長いチャネルとソース拡散80および81を個々に画成するため、図6に示すように、酸化ストリップ200とポリシリコン・ストライプ61を用いて、適正なフォトリソグラフィ工程を行う。具体的には、チャネル領域80を作成するため、ボロン注入を8.5E13のドーズで、80kVで行う。そして、この注入を1125℃、90分間、窒素ガス中で行い、チャネル注入80を約1.25 μ mの深さまで行う。重要なことであるが、これらチャネル80の間には、図6

に示すように、その幅が約0.8 μ m以上の共通伝導領域がある。

【0022】そして、N⁺ソース領域81が、8E15のドーズで、120kVで、ヒ素注入を用いて形成される。そして、このソース領域のこの注入を、975℃で、90分間、深さ約0.4 μ mまで行い、ベース80内に反転チャネル82を形成する。

【0023】その後、図7に示すように、本発明の図々の機構により、チャネル80とソース領域81をそれぞれ画成したのと同じ意を遣って、P⁺領域85が注入される。高ドーパ領域85によりチャネル領域82が侵入されないように、それらの領域は、2E15のドーズで、150kVで、ボロン注入により形成され、その後、30分間、975℃で、アニールが行なわれる。P⁺領域85により、デバイスのラギドネス(ruggedness)は増加するが、ベース80のRb⁺は減少する。

【0024】その後、同時係属出願08/956,062号(18-1232)に記載された処理により、ソース・アルミニウム・コンタクト90(図8)が、ソースとチャネル領域が接続される。そして、ポリシリコン・ストライプ61をソース・コンタクト90から絶縁するため、図8に示すように、絶縁層95をポリシリコン・ストライプ61上に形成する。この絶縁層95は例えば低温酸化よりなり、側面スペース96を有する。絶縁層95の厚みは約0.6 μ mないし0.7 μ mである。そして、各ソース領域81の中心部と、該中心部を通して、該中心部に沿って、エッチングを行い、浅いドレンチ98をエッチングし、チャネル領域80をアンダライ(underlie)する。アルミニウム・ソース層90とのコンタクトを改善するため、これらのドレンチは側面スペース間の間隔より狭くして、シリコン表面の短いプレーナレッジ(ledge)を剥き出しにするのが好ましい。

【0025】そして、ゲートパッド41を規制しエッチングするとともに、必要に応じて、端子を規制しエッチングするため、コンタクト90は図示しない絶縁コーティングを受け取り、パターン化することができる。

【0026】そして、ドレイン・コンタクトとしてアクトさせるため、下部メタル99を当該チップの底面に設ける。

【0027】図9および図10は本発明で採用したデザイン・トレードオフを示す。ここでは、本発明のストライプ・トポロジーと周知のセルラー・トポロジーとを比較する。図9を説明する。当然のことであるが、所定領域のチップの合計のチャネル幅は、ポリライン間隔が減少する程、広くなる。チャネル幅は広い程望ましい、というのは、チャネル幅は当該デバイスのON抵抗を減少させるからである。図12に示す従来の六角形セルデバイスでは、低電圧デバイス用に、5.8 μ mライン間隔が使用されている。その結果、largerチャネル幅は同様の間隔を有するストライプ・ジオメトリより広くなる。こ

のことも図9に示す。図10は、 Q_g の点で、ストライプ・ジオメトリがセルラーより優れている点を示す。しかし、 Q_g の差は、広いポリライン間隔で最小になる。

【0028】当然のことであるが、ストライプ・ジオメトリによれば、約1ないし4 μ mの領域、特に、1、5 μ mの領域におけるポリライン間隔に対して、単位領域当たりのチャネル幅が広くなる。驚くべきことに、 $R_{DS(on)}$ は増加しない。

【0029】従って、本発明によれば、当然のことであるが、1ないし4 μ mのポリライン間隔で、3、2ないし3、4 μ mのポリライン幅を選択した場合には、最小のメリット係数が得られる。

【0030】図11は本発明に係るパワーMOSFETを採用した回路を示す。図11の回路はDC-DCバックコンバータ(buck converter)回路であり、入力DC端子110を備えている。このDC-DCバックコンバータ回路は高周波制御MOSFET111のソースに接続した公称14Vの電池でも良い。このMOSFET111はDC出力端子に接続したインダクタ112に直列に接続されている。この出力端子からは例えば、1、5Vに安定化させることができる。非同期整流用MOSFET113を介して、MOSFET111とインダクタ112のノードがグラウンドに接続してある。入力電池のエージング、温度変動、電荷の状態等に起因して入力DC電圧が変動したとしても、望ましい出力DC電圧を生成するため、適正な制御IC(integrated circuit)114は、MOSFET111および113を適正かつ周知のシーケンスでターンオンまたはターンオフさせるためのゲート信号を生成するようにプログラムされている。

【0031】かつては、MOSFET111はスイッチング損失が最小のものが選択され、同期整流用MOSFETは伝導損失(すなわち、低 $R_{DS(on)}$)が小さいものが選択された。よって、これらMOSFETは、例えば、MOSFET111ではトレンチ・テクノロジー、MOSFET113ではプレーナ・セルラー・テクノロジーというように、製造技術が異なっていた。本発明の重要な特徴によれば、MOSFET111および113は、共に、図1および8のデバイスに対して示したプレーナ・ストライプ・テクノロジーを採用している。ダイに関してはサイズのみが異なることになる。よって、MOSFET111は電流要件がMOSFET113より低く、例えば、56mil \times 140milのダイサイズが必要になる。MOSFET113はダイサイズを102mil \times 157milにすることができる。両ダイは個別にSOP型パッケージにパッケージングされるが、必要に応じて、コパック(co-pack)される。

【0032】以上、本発明の具体例を説明したが、その他の修正および変更が可能なことは、当業者にとって当然のことである。本発明は、具体例に限定されるものではなく、請求の範囲のみにより限定される。

【図面の簡単な説明】

【図1】本発明の構成を含むことができるダイの上面を示す上面図である。

【図2】当該デバイスの第1製造工程において、図1に円形"R"で示す領域における端子領域を示す断面図である。

【図3】図1に円形"R"で示す活性領域ポーション内のポリシリコンゲートのストライプパターンを示す。

【図4】ポリシリコン・ゲート・ストライプを形成した後の、図3における4-4線断面図である。

【図5】ポリシリコンをデポジションして端子フィールドプレートを形成した後の、図2の端子領域を示す図である。

【図6】図4においてチャネル拡散およびソース領域拡散を行った後の構造を示す断面図である。

【図7】図6において高濃度ベース領域の注入を行った後の構造を示す断面図である。

【図8】図7においてソース電極およびドレイン電極を形成した後の構造を示す断面図である。

【図9】チャネル幅変化(ON抵抗の逆数)をポリシリコン・ライン間隔の関数として示す図である。

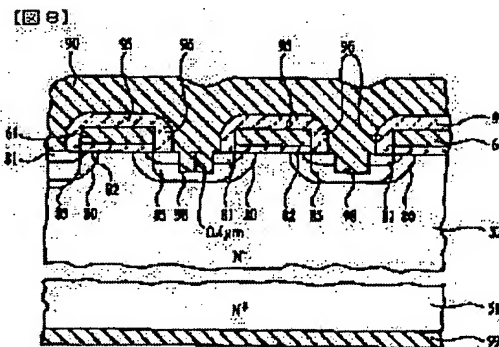
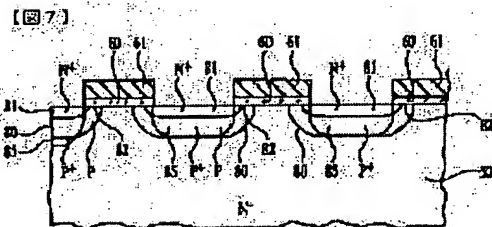
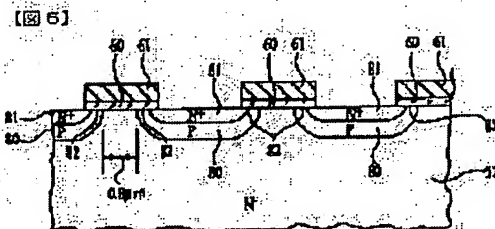
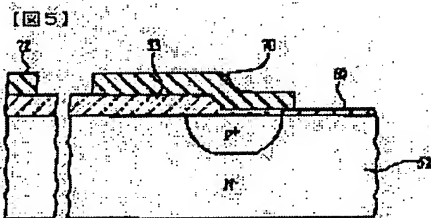
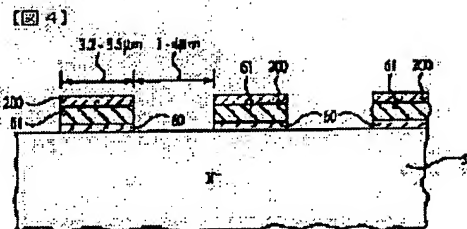
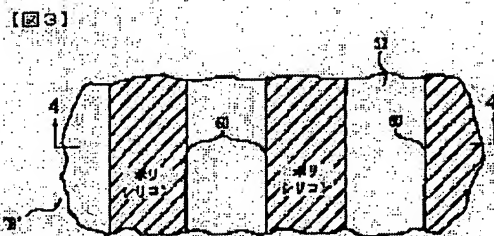
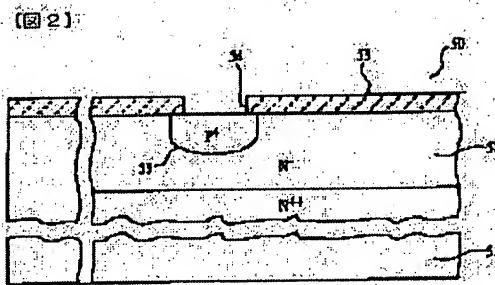
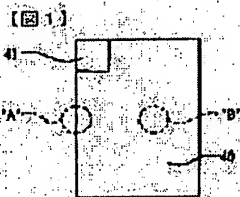
【図10】ゲート/ドレイン領域したがって Q_g をポリシリコン・ライン間隔の関数として示す図である。

【図11】本発明に係るパワーMOSFETを用いたDC-DCコンバータを示す回路図である。

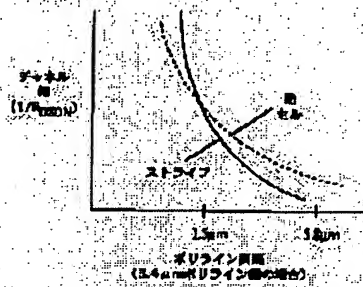
【図12】三角形セル・トポロジーを有するMOSFETの従来例におけるポリシリコンのレイアウトを示す図である。

【符号の説明】

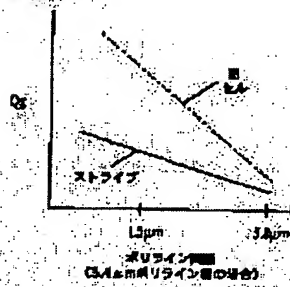
- 40 ダイ
- 41 ゲートパッド
- 50 ウエハ
- 51 N⁺基板
- 52 接合窓層
- 53 フィールド酸化層
- 55 P⁺拡散領域
- 60 ゲート酸化層
- 61 ポリシリコン・ストライプ
- 70 端子フィールドプレート
- 80 チャネル
- 81 N⁺ソース領域
- 200 酸化層



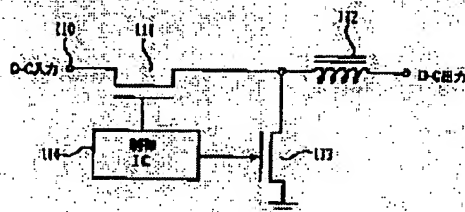
【図9】



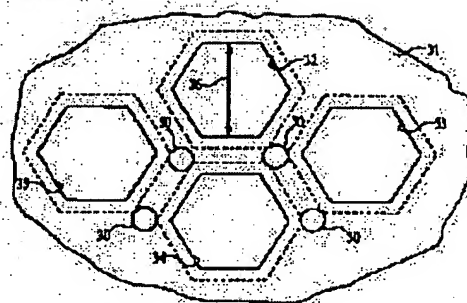
【図10】



【図11】



【図12】



(外国語明細書)

1. Title of the Invention

LOW VOLTAGE MOSFET AND PROCESS FOR
ITS MANUFACTURE AND CIRCUIT APPLICATION

2. Claims

1. A MOSgated semiconductor device having a minimized figure of merit; said device comprising:
 - a die of monocrystalline silicon having a body region and an upper junction receiving layer of one conductivity type;
 - a plurality of elongated spaced and parallel base stripe diffusions of the other conductivity type formed in the upper surface of said junction receiving layer and a plurality of elongated source diffusions of the one conductivity type in and extending coextensively with said base stripe diffusions to define invertible channel regions along the sides of each of said elongated base stripe diffusions;
 - a plurality of gate stripes each comprising gate oxide stripes covered by conductive polysilicon stripes; said plurality of gate stripes overlying respective spaced pairs of adjacent invertible channel regions and the space between their respective base diffusions; said polysilicon stripes each having a width in the range of about 3.2 microns to 3.5 microns and a spacing in the range of about 1.0 to 4.0 microns; adjacent ones of said base diffusions being spaced apart by greater than about 0.8 micron;
2. The device of claim 1 wherein said polysilicon stripes have a width of about 3.1 microns and a spacing of about 1.5 microns;
3. The device of claim 1 wherein said base diffusion have a depth of about 1.25 microns and said source diffusions have a depth of about 0.4 microns;
4. The device of claim 2 wherein said base diffusion have a depth of about 1.25 microns and said source diffusions have a depth of about 0.4 microns.

5. The device of claim 1 which further includes a plurality of second base diffusions of the other conductivity type which are centered on respective ones of said base diffusions and which have a higher concentration than that of said base diffusions and which have a lateral extent defined by the spacing of said polysilicon stripes.

6. The device of claim 2 which further includes a plurality of second base diffusions of the other conductivity type which are centered on respective ones of said base diffusions and which have a higher concentration than that of said base diffusions and which have a lateral extent defined by the spacing of said polysilicon stripes.

7. The device of claim 3 which further includes a plurality of second base diffusions of the other conductivity type which are centered on respective ones of said base diffusions and which have a higher concentration than that of said base diffusions and which have a lateral extent defined by the spacing of said polysilicon stripes.

8. A MOS gated semiconductor device having a minimized figure of merit; said device comprising:

- a die of monocrystalline silicon having a body region and an upper junction receiving layer of one conductivity type;

- a plurality of elongated spaced and parallel base stripe diffusions of the other conductivity type formed in the upper surface of said junction receiving layer and a plurality of elongated source diffusions of the one conductivity type in and extending coextensively with said base stripe diffusions to define invertible channel regions along the sides of each of said elongated base stripe diffusions;

- a plurality of gate stripes each comprising gate oxide stripes covered by conductive polysilicon stripes; said plurality of gate stripes overlying respective spaced pairs of adjacent invertible channel regions and the space between their respective base diffusions;

- a plurality of second base diffusions of the other conductivity type which are centered on respective ones of said base diffusions and which have a higher concentration than that of said base diffusions and which have a lateral extent defined by the spacing of said polysilicon stripes.

9. The process of manufacture of a MOSgated device comprising the steps of forming a gate oxide layer atop a silicon surface of one conductivity type; forming a layer of polysilicon atop said gate oxide layer; etching said polysilicon layer and the said underlying gate oxide layer into a plurality of spaced stripes of oxide and polysilicon overlying said oxide; implanting and diffusing a plurality of spaced first base diffusion stripes of the other conductivity type into said silicon surface, using said stripes of polysilicon as a mask; implanting and diffusing a plurality of source diffusions into said first base diffusion stripes, using said stripes of polysilicon as a mask, and leaving invertible channel regions along the outer edges of said first base diffusion stripes; diffusing third base diffusion stripes, into said silicon surface, using said stripes of polysilicon as a mask, to a depth about equal to that of said first diffusions and a width substantially equal to the space between the opposite edges of adjacent pairs of said polysilicon stripes.

10. The process of claim 9, wherein said polysilicon stripes have a width of about 3.1 microns and a spacing of about 1.25 microns.

11. The process of claim 9 wherein said first base diffusions have a depth of about 0.4 microns and said second base diffusions have a depth of about 1.25 microns.

12. The process of claim 10 wherein said first base diffusions have a depth of about 0.4 microns and said second base diffusions have a depth of about 1.25 microns.

13. The process of claim 9 which further includes the formation of insulation spacer layers over the top and edges of said polysilicon stripes and the etching of shallow openings through central portions of said source regions and into said first base diffusions; and thereafter depositing a metal layer over the upper surface of said device to contact said source regions and said first and second base diffusions.

14. The process of claim 12 which further includes the formation of insulation spacer layers over the top and edges of said polysilicon stripes and the etching of shallow openings through central portions of said source regions and into said first base diffusions; and thereafter depositing a metal layer over the upper surface of said device to contact said source regions and said first and second base diffusions.

15. A d-c to d-c converter circuit which includes a high frequency control MOSFET connected in series with a d-c source, an inductor and a d-c output and a synchronous rectifier MOSFET connected in closed circuit relation with said inductor and said d-c output; each of said control MOSFET and synchronous rectifier MOSFET being made with identical planar parallel stripe topologies but having different die areas; said synchronous rectifier area MOSFET having a die area which is greater than that of said control MOSFET.

16. The circuit of claim 15 wherein said identical topologies for each of said control MOSFET and synchronous rectifier MOSFET comprises, for each die:

a die of monocrystalline silicon having a body region and an upper junction receiving layer of one conductivity type;

a plurality of elongated spaced and parallel base stripe diffusions of the other conductivity type formed in the upper surface of said junction receiving layer and a plurality of elongated source diffusions of the one conductivity in and extending coextensively with said base stripe diffusions to define invertible channel regions along the sides of each of said elongated base stripe diffusions;

a plurality of gate stripes each comprising gate oxide stripes covered by conductive polysilicon stripes; said plurality of gate stripes overlying respective spaced pairs of adjacent invertible channel regions and the space between their respective base diffusions; said polysilicon stripes each having a width in the range of about 3.2 microns to 3.5 microns and a spacing in the range of about 1.0 to 4.0 microns;

adjacent ones of said base diffusions being spaced apart by greater than about 0.8 micron.

17. The circuit of claim 16, wherein said polysilicon stripes have a width of about 3.1 microns and a spacing of about 1.5 microns.

18. The circuit of claim 17, wherein said base diffusion have a depth of about 1.25 microns and said source diffusions have a depth of about 0.4 microns.

19. The circuit of claim 16 which further includes a plurality second base diffusions of the other conductivity type which are centered on respective ones of said base diffusions and which have a higher concentration than that of said base diffusions and a depth which is greater than that of said base diffusions and which has a lateral extent defined by the spacing of said polysilicon stripes.

B. Detailed Description of the Invention

RELATED APPLICATIONS

This application claims the benefit of U.S. Provisional Application No. 60/107,700, filed November 9, 1998.

This application is related to application Serial No. 08/946,984 filed October 8, 1997 entitled PROCESS FOR MANUFACTURE OF P CHANNEL MOSGATED DEVICE WITH BASE IMPLANT THROUGH CONTACT WINDOW (IR-1212); application Serial No. 08/956,062 filed October 22, 1997 entitled ZERO ALIGNMENT CELL PROCESS (20 MILLION/IN²) (GUN VI) (IR-1232); U.S. Patent No. 5,795,793 issued August 18, 1998 entitled NEW REDUCED MASK COUNT PROCESS (GEN 6-N CHANNEL) (IR-1113); application Serial No. 09/038,453 filed March 11, 1998 entitled MOS FETs FOR VERY LOW VOLTAGE D-C TO D-C CONVERTERS (IR-1455); all of which are owned by the assignee of the present application.

BACKGROUND OF THE INVENTION

This invention relates to MOSgated power devices and more specifically relates to a novel MOSgated device having a minimum figure of merit, a novel process for its manufacture, and a novel circuit application of the device.

Low voltage power MOSgated devices, particularly power MOSFETs, are well known and are commonly made with planar or trench topologies. The trench topologies have been used for very low voltage devices which are to have the lowest possible switching losses in high frequency applications such as in d-c to d-c converters used for producing a regulated d-c voltage for portable electronic devices powered from a battery. By reducing switching loss, battery life can be extended for such portables as lap top computers.

Switching loss is determined, in part, by the figure of merit of the MOSFET, which is the product of its on-resistance $R_{DS(on)}$ and its gate charge Q_g . A minimum figure of merit is desired for high frequency, low voltage MOSFETs. Trench devices have been useful in these applications because it was believed that they had an inherently lower Q_g than that of planar designs.

Planar technology MOSFETs using spaced closed polygonal cells are well known, and are shown, for example, in patent 5,008,725, and in Figure 12 herein. These devices have a relative lower on-resistance $R_{DS(on)}$ than equivalent trench designs, but, because of the geometry of the polygonal design (usually hexagonal or rectangular base cells) the polysilicon gate extends across areas such as areas 30, shown in Figure 12 for a hexagonal cell topology, which do not contribute to invertible channel width. More specifically, Figure 12 shows polysilicon web 31 containing windows 32, 33, 34 and 35 used to define diffused bases or channels, shown in dotted lines. The window openings such as opening 36 was conventionally 5.8 microns in low voltage designs. The polysilicon 31 overlies areas 30, which are inactive, contribute heavily to the polysilicon gate-to-drain capacitance, and thus to Q_g .

Planar designs have also used a stripe topology, using elongated, spaced base stripes. While these designs have a lower Q_{GD} than cellular designs, they usually have an increased on-resistance, and the figure of merit was not believed to be reduced by the planar stripe design.

It would be desirable to use a planar stripe topology for a low voltage power MOSgated device in which the figure of merit, that is, the product of Q_g and $R_{DS(on)}$ can be reduced.

BRIEF SUMMARY OF THE INVENTION

In accordance with the invention, it has been found that a topology, employing parallel base stripes with a polysilicon line spacing between less than about 1.5 microns to about 2.5 microns, with a polysilicon line width of about 2.6 to about 8.0 microns, depending on the drain to source voltage rating. For a 30 volt device, it would be from 3.2 to 3.5 microns, preferably 3.4 microns. A base to base spacing of about 0.8 microns or greater will produce a minimum figure of merit. It has been found that the increased channel width per unit area produced by the closer spacing of the polysilicon lines reduces $R_{DS(on)}$ proportionally more than Q_g increases, with a practical minimum figure of merit being reached at a polyline spacing of about 1.5 microns. The figure of merit obtained with this novel geometry is lower than that obtained with equivalent die areas employing either trench technology or closed polygonal cell technology.

Further, the present invention produces a device having both an extremely low $R_{DS(on)}$ and an extremely high avalanche energy.

Another feature of the invention employs the polysilicon stripes to define a mask for the formation of three sequential regions, the first being a base (or channel) diffusion, the second being a source diffusion and the third being a higher concentration base region which underlies the first base and which does not invade the invertible channel formed by the first base and source. The third region is formed by an implant through the polysilicon window and a subsequent anneal.

A novel application of the invention is for d-c to d-c converter circuits using a control MOSFET and a synchronous rectifier MOSFET. Both of these MOSFETs are made by the process of the invention and differ only in die area.

Referring first to Figure 1, there is shown a typical die 40 which can be processed in accordance with the invention to produce a MOSgated device, for example, a power MOSFET. While the invention is applicable to all voltage ranges, it is particularly useful for devices having a breakdown voltage less than about 60 volts. Die 40 may have top source contact, a gate pad 41 for connection to its polysilicon gate, and a bottom drain contact, as will be described. A silicon wafer is formed with identical die which are simultaneously processed in a silicon wafer and are separated at the end of the process. The terms die, chip and wafer are frequently interchanged. Die 40 may be as large as about 102 mils by 157 mils which is the largest size which can be mounted in a typical SO8 package. Of course any other package can be used.

The first step of the process used to make the device of the invention is the selection of a suitable wafer 50, shown in Figure 2 which has a highly conductive N⁺⁺ body 51, which may be 375 microns thick (ground down to about 200 microns at the end of the process) and which has an epitaxially formed junction-receiving substrate 52. For a breakdown voltage of about 30 volts, the layer 52 will have a thickness of about 5 microns and a resistivity of about 0.18 Ω cm, which can be considered to be an N layer.

A 7500 Å thick field oxide layer 53 is first grown atop layer 52 and, in a first mask step, a window 54 is opened in the field oxide and a P⁺ diffusion 55 is formed around the periphery of and under the gate bonding pad of the chip, which will serve as a field termination ring for the final device. This diffusion may be carried out with a boron implant at a dose of 1E14 and at an energy of 80kV, followed by a diffusion drive at 1050°C for 2 hours. This will produce the P⁺ region 55 with a depth of about 1.5 microns.

The field oxide 53 is then selectively etched to open the active area of the die. As next shown in Figures 3 and 4, a gate oxide layer 60 is grown over the surface of the layer 52 to a thickness of about 300 Å. A conductive polysilicon layer 61 is then grown atop oxide layer 60 to a thickness of about 0.75 micron. An oxide layer 200 is also grown or deposited atop the polysilicon layer 61. The polysilicon layer 61, oxide layer 60 and oxide layer 200 are then etched into elongated, parallel stripes as shown in Figure 3.

In accordance with the invention, the width of the polysilicon stripes 61 (the polyline width) is from 2.6 to 8.0 microns, preferably, 3.2 to 3.5 microns, and, for a 30 volt device, is preferably 3.4 microns, while the spacing between the parallel elongated and straight stripes 61 is from 1 to 4 microns, preferably 1.5 microns.

During the etch of polysilicon layer 61, the mask used permits the definition of the termination field plate 70 shown in Figure 5. The field plate 70 has a length of about 15 microns, and is spaced from the adjacent end of EQR ring 72 (partially shown in Figure 5) by a gap of 5 to 8 microns.

Thereafter, and as shown in Figure 6, a suitable photolithography step is carried out using oxide strips 200 and polysilicon stripes 61 to define elongated channel and source diffusions 80 and 81 respectively. More specifically, to form channel region 80, a boron implant is used at a dose of 8.5E13 at 80 kV. This implant is then driven at 1125°C for 90 minutes in nitrogen gas, driving the channel implants 80 to a depth of about 1.25 microns. Significantly, the channels 80 are spaced by a common conduction region which is about 0.8 microns wide or greater as shown in Figure 6.

The N^+ source regions 81 are then formed using an arsenic implant at a dose of $8E15$ at 120 kV. This implant is then driven at 975°C for 90 minutes, driving the source regions to a depth of about 0.4 microns, and forming invertible channel regions 82 within bases 80.

Thereafter, and as shown in Figure 7, and in accordance with a separate feature of the invention, a P^+ region 85 is implanted through the same windows which defined the channel and source regions 80 and 81 respectively. To prevent the invasion of channel region 82 by the heavily doped regions 85, the regions are formed by a boron implant at a dose of $2E15$ at 150 kV followed by an anneal of 30 minutes at 975°C . The P^+ regions 85 increase the ruggedness of the device and reduce the R_{ds} of the bases 80.

Thereafter, the source aluminum contact 90 (Figure 8) is connected to the source and channel regions by the process described in copending application Serial No. 08/956,062 (IR-1232). Thus, as shown in Figure 8, an insulation layer 95, consisting, for example of a low temperature oxide and having side wall spacers 96 are formed over the polysilicon stripes 61 to insulate them from the source contact 90. The layer 95 may have a thickness of about 0.6 to 0.7 microns. An etch operation is then carried out to etch shallow trenches 98 in and through and along the center of each source region 81 and into the underlying channel region 80. The trenches are preferably narrower than the space between side wall spacers to expose a short planar ledge at the silicon surface to improve the contact to the aluminum source layer 90.

The contact 90 may then receive an insulation coating (not shown) and may be patterned to enable the etching and definition of the gate pad 41 and the termination as desired.

A bottom metal 99 is then applied to the bottom of the chip to act as the drain contact.

Figures 9 and 10 show the design trade-offs which are employed in the present invention, comparing the stripe topology of the present invention to known cellular topology. Referring to Figure 9, it can be seen that the total channel width of a chip of given area increases as the polyline spacing is decreased. A larger channel width is desired because it reduces the on-resistance of the device. In the prior art hexagonal cell device of Figure 12, a line spacing of 5.8 microns is used for lower voltage devices. As shown in Figure 9, this yields a larger channel width than a stripe geometry with similar spacing. Figure 10 shows the known advantage of the stripe geometry over the cellular in terms of Q_p . The difference in Q_p , however, is minimized at larger polyline spacings.

It has been found that the stripe geometry will produce a larger channel width per unit area for polyline spacings in the region between about 1 to 4 microns, particularly at about 1.5 microns, surprisingly with no increase of $R_{DS(on)}$.

Thus, in accordance with the invention, it has been found that a minimum figure of merit is obtained with a choice of a polyline spacing of from 1 to 4 microns and a polyline width of from 3.2 to 3.4 microns.

Figure 11 shows a circuit diagram employing power MOSFETs made in accordance with the invention. Thus, the circuit of Figure 11 is a d-c to d-c buck converter circuit comprising an input d-c terminal 110, which may be a nominally 14 volt battery connected to the source of a high frequency control MOSFET 111 and in series with an inductor 112 to a d-c output terminal which can, for example, be at a regulated 1.5 volts. A synchronous rectifier MOSFET 113 is connected from the node between MOSFET 111 and inductor 112 to ground. A suitable control integrated circuit 114 is programmed to produce gate signals to control the turn on and turn off of MOSFETs 111 and 113 in a suitable and known sequence to produce the desired output d-c voltage even though the input d-c voltage fluctuates as due to aging of an input battery, temperature changes, state of charge and the like.

In the past, MOSFET 111 was chosen to have a minimum switching loss while the synchronous rectifier MOSFET was chosen for low conduction loss (that is, low $R_{DS(on)}$). Thus, the MOSFETs had different manufacturing techniques, for example, a trench technology for MOSFET 111 and a planar cellular technology for MOSFET 113.

In accordance with an important feature of this invention, both MOSFETs 111 and 113 can advantageously employ the planar stripe technology shown for the device of Figures 1 and 8, and the die would differ only in size. Thus, MOSFET 111 has lower current requirements than MOSFET 113 and needs a die size, for example, of 56 mil by 140 mil. MOSFET 113 can have a die size of 102 mil by 157 mil; both die separately housed in SO8 style packages or copacked if desired.

Although the present invention has been described in relation to particular embodiments thereof, many other variations and modifications and other uses will become apparent to those skilled in the art. It is preferred, therefore, that the present invention be limited not by the specific disclosure herein, but only by the appended claims.

4. Brief Description of the Drawings

Figure 1 is a top view of a die which can contain the structure of the present invention.

Figure 2 is a cross-section of the termination region of the die of Figure 1 in circled area "A" in Figure 1 at a first stage of the manufacture of the device.

Figure 3 shows the stripe pattern of the polysilicon gate within the active area portion shown in circle "B" in Figure 1.

Figure 4 is a cross-section of Figure 3 taken across section line 4-4 in Figure 3 after the step of forming the polysilicon gate stripes.

Figure 5 shows the termination region of Figure 2 after the deposition of polysilicon to form a termination field plate.

Figure 6 shows the structure of Figure 4 after the diffusion of channel and source regions.

Figure 7 shows the structure of Figure 6 after the implant of high concentration deep base regions.

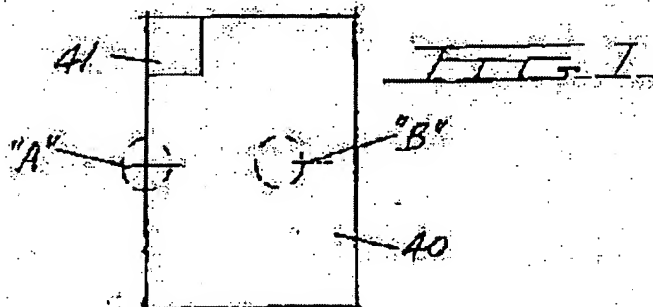
Figure 8 shows the structure of Figure 7 after the formation of source and drain electrodes.

Figure 9 shows the variation of channel width (and thus the reciprocal of on-resistance) as a function of polysilicon line spacing.

Figure 10 shows the gate/drain area, and thus Q_0 as a function of polysilicon line spacing.

Figure 11 shows a circuit diagram of a d-c to d-c converter using power MOSFETs made in accordance with the invention.

Figure 12 shows the polysilicon layout of a prior art MOSFET with a polygonal cell topology.



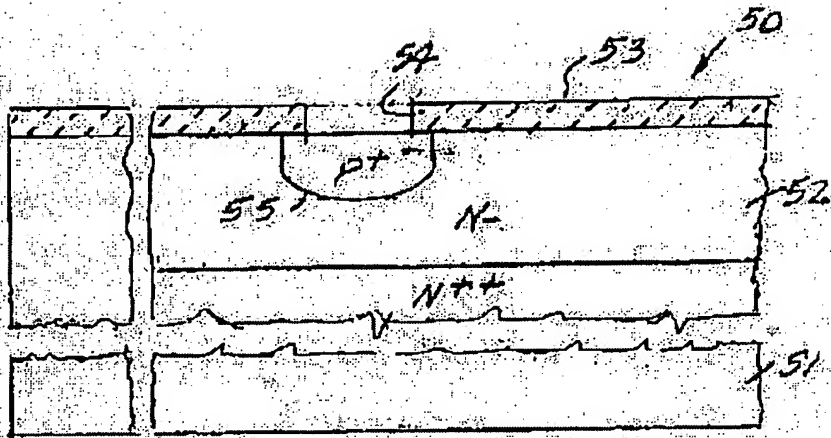


FIG. 2

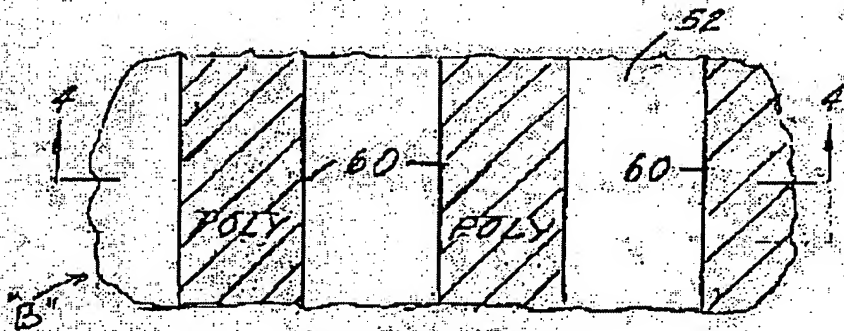


FIG. 3

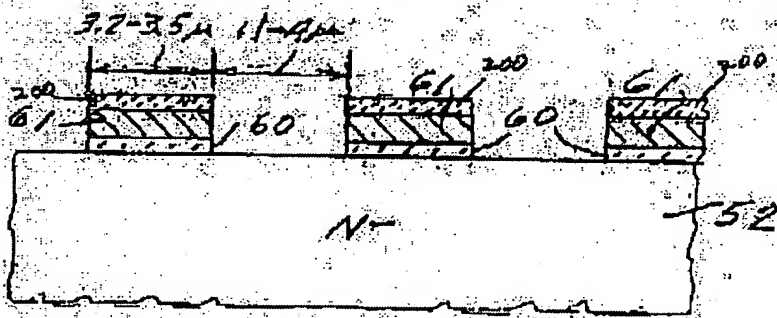


FIG. 4

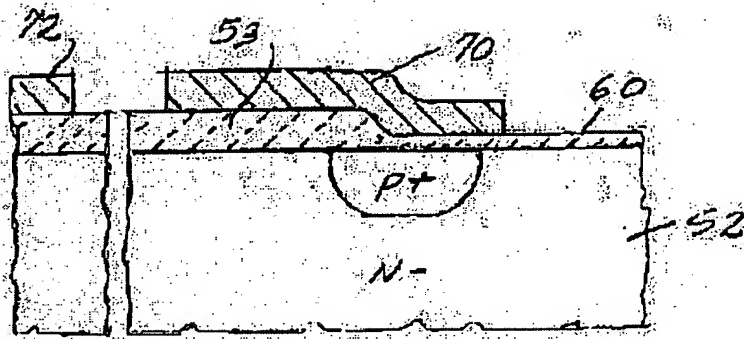


FIG. 5

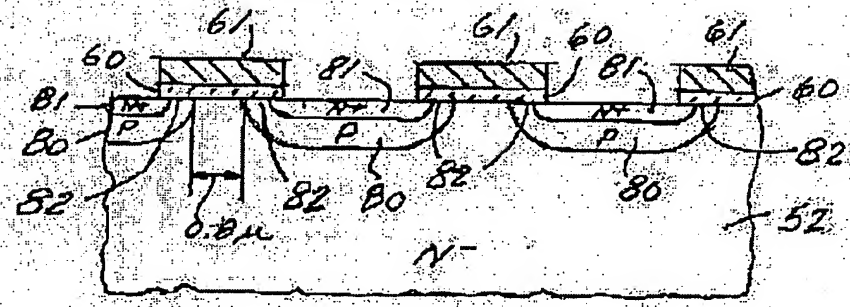
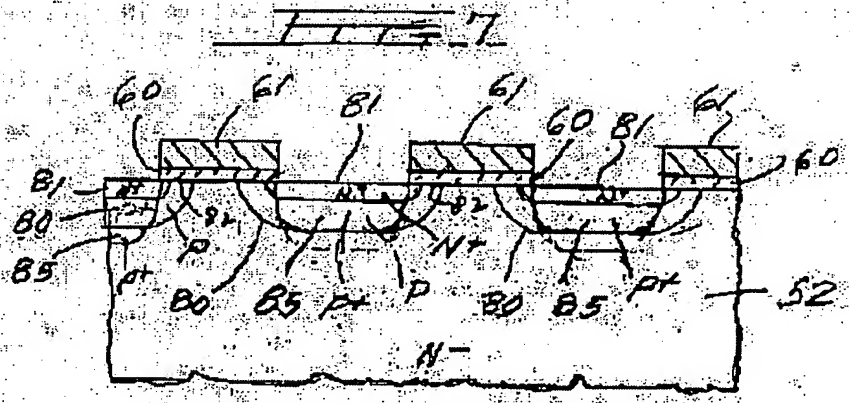


FIG. 6



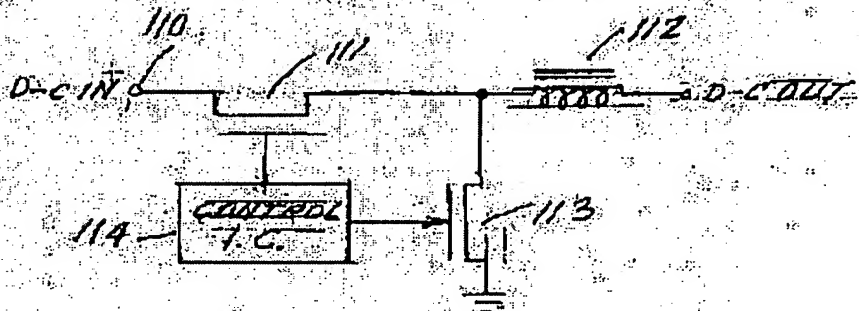
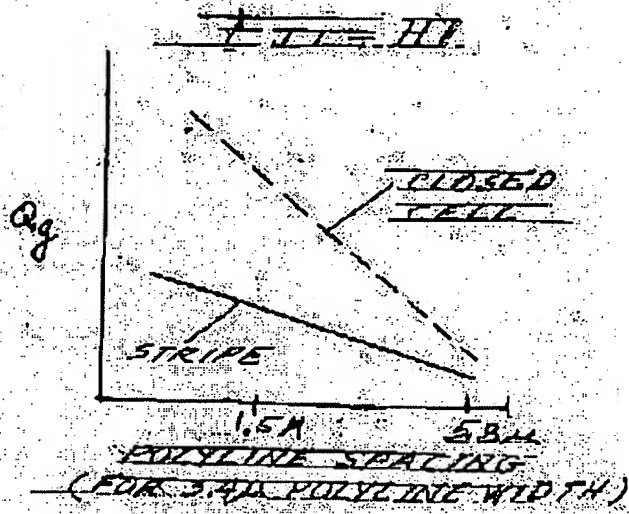


FIG. 11

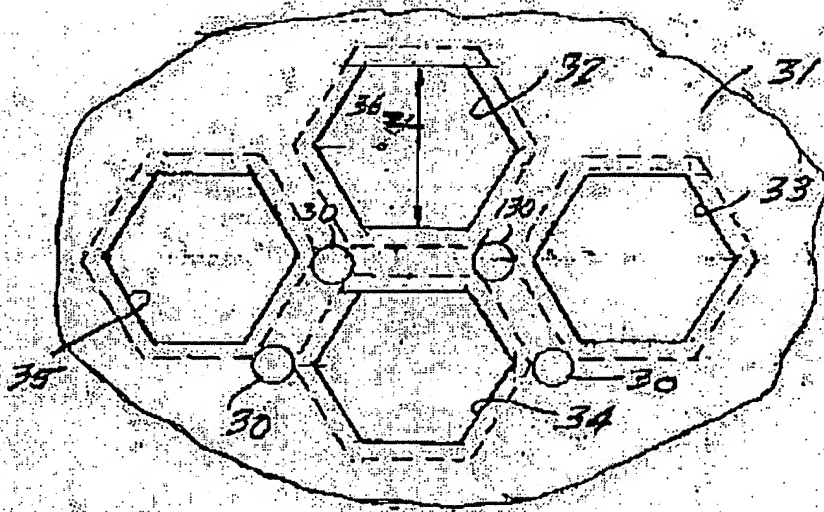


FIG. 12 (PRIOR ART)

1. Abstract

A power MOSFET die with a minimized figure of merit has of a planar stripe MOSFET geometry in which parallel diffused bases (or channels) are formed by implantation and diffusion of impurities through parallel elongated and spaced polysilicon stripes wherein the polysilicon line width is from about 3.2 to 3.4 microns, preferably 3.4 microns; the polysilicon spacing is from about 1 to 4 microns, preferably 1.5 microns and the diffused bases are spaced by greater than about 0.8 microns. The polysilicon stripes act as masks to the sequential formation of first base stripes, the source stripes and second higher concentration base stripes which are deeper than the first base stripes. Insulation side wall spacers are used to define a contact etch for the source contact. The above design geometry is used for both the forward control MOSFET and the synchronous rectifier MOSFET of a buck converter circuit.

2. Representative Drawing

FIG. 8